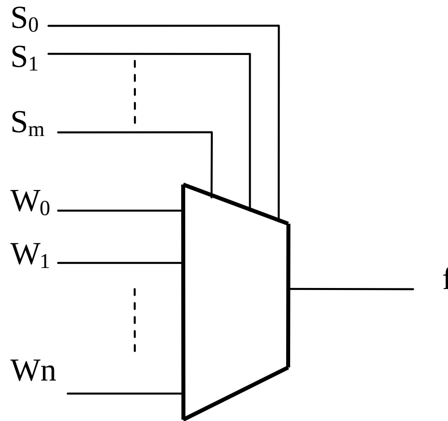
الدارات التركيبية الشهيرة

تعرفنا في الفصل الرابع على التقنيات الأساسية لتصميم الدارات المنطقية التركيبية . عملياً هناك عدد قليل من الدارات المنطقية التي تستعمل غالباً كوحدات بناء أساسية عند تصميم الدارات الأكثر تعقيداً . وفي هذا الفصل سنناقش عدداً من هذه الوحدات مع إعطاء بعض الأمثلة على استخدامها .

5-1 –**النواخب** : *Multiplexers*

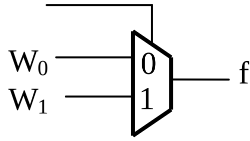
الناخب : هو دارة لها عدد من مداخل المعطيات ، وعدد من مداخل الانتخاب ، وخرج واحد . ويعمل الناخب كدارة تمرر إشارة أحد المداخل إلى الخرج ،حيث يتحدد هذا المدخل من خلال قيم مداخل الانتخاب . الشكل *(5-1)* يوضح المخطط الرمزي للناخب .



الشكل (5-1) المخطط الرمزي للناخب

المداخل $S_0,S_1,...S_m$ مداخل انتخاب . المداخل $W_0 ,W_1 ,...,W_n$ مداخل معطيات . إن n و m ترتبطان بالعلاقة $n \le 2^m$.

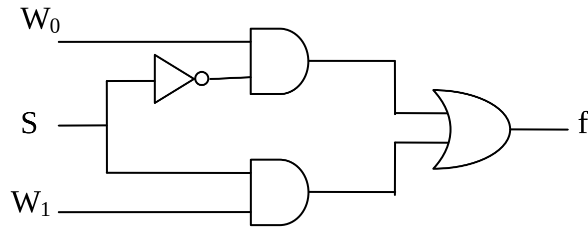
الشكل *(5-2)* يوضح دارة ناخب 1 من 2 كمجموع جداء (الجزء *C*).



S	f
0	W_0
1	W_1

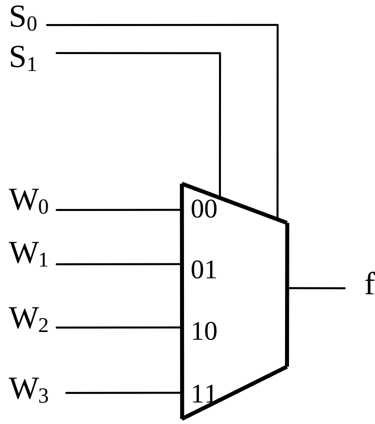
(a) رمز الناخب

(b) جدول الحقيقة



(C) الدارة كمجموع جداءات

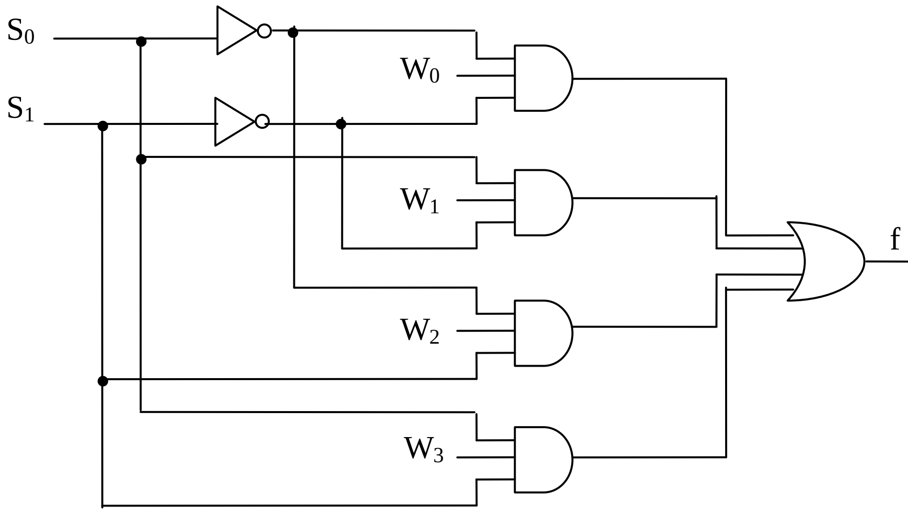
الشكل (5-2) ناخب 1 من 2



S_0	S_1	f
0	0	W_0
0	1	W_1
1	0	W_2
1	1	W_3

(a) المخطط الرمزي للناخب

(b) جدول الحقيقة



(C) الدارة كمجموع جداءات

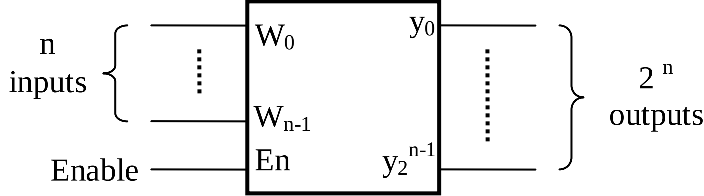
الشكل (4-5) دارة ناخب 1 من 4

الدارة في الشكل *(4-5)* تحقق التابع :

$$f = \bar{s}_1\bar{s}_0 w_0 + \bar{s}_1 s_0 w_1 + s_1\bar{s}_0 w_2 + s_1 s_0 w_3$$

-2-مفكك (كاشف) الترميز *Decoder*

تستخدم مفككات الترميز لفك المعلومات المرمزة . الشكل *(5-14)* يبين المخطط العام لدارة مفكك ترميز ثنائي وهو دارة منطقية لها n مدخل و 2^n مخرج ، مخرج واحد فقط يكون عند الواحد المنطقي من أجل تركيبة دخل ما . لكاشف الترميز مدخل تأهيل *En* (*Enable*) . عندما يكون *En=0* تكون جميع المخارج عند الصفر المنطقي ، أما عندما يكون *En=1* فإن تركيبة الدخل $w_{n-1}...w_1w_0$ تحدد أي المخارج المفعل (عند الواحد المنطقي).

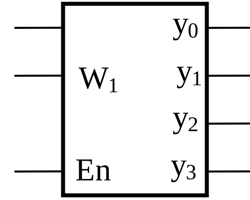


الشكل (14-5) المخطط العام لمفكك ترميز ثنائي

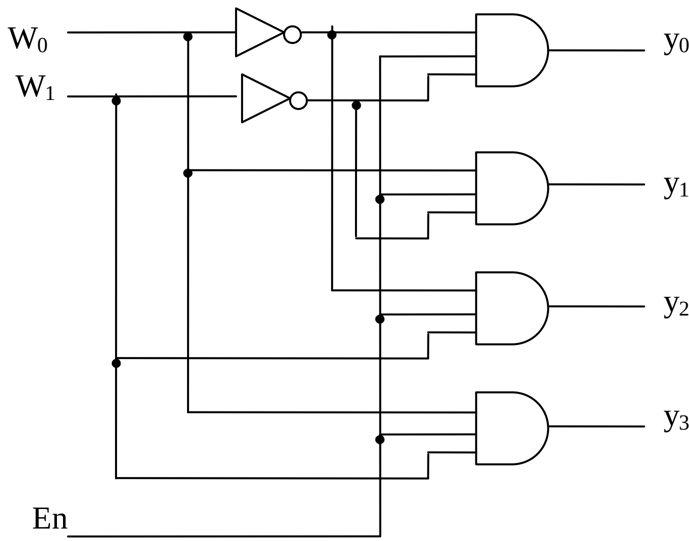
يبين الشكل *(5-15)* جدول الحقيقة ورمز ودارة مفكك ترميز 2 إلى 4 . إن مدخلي المعطيات وهما W_2 و W_1 يمثلان عدداً ثنائياً من بتين يحدد أي من المخارج y_0 , ...y_3 يكون عند الواحد المنطقي .

En	W_1	W_0	y_0	y_1	y_2	y_3
1	0	0	1	0	0	0
1	0	1	0	1	0	0
1	1	0	0	0	1	0
1	1	1	0	0	0	1
0	x	x	0	0	0	0

(a) جدول الحقيقة



(b) المخطط الرمزي

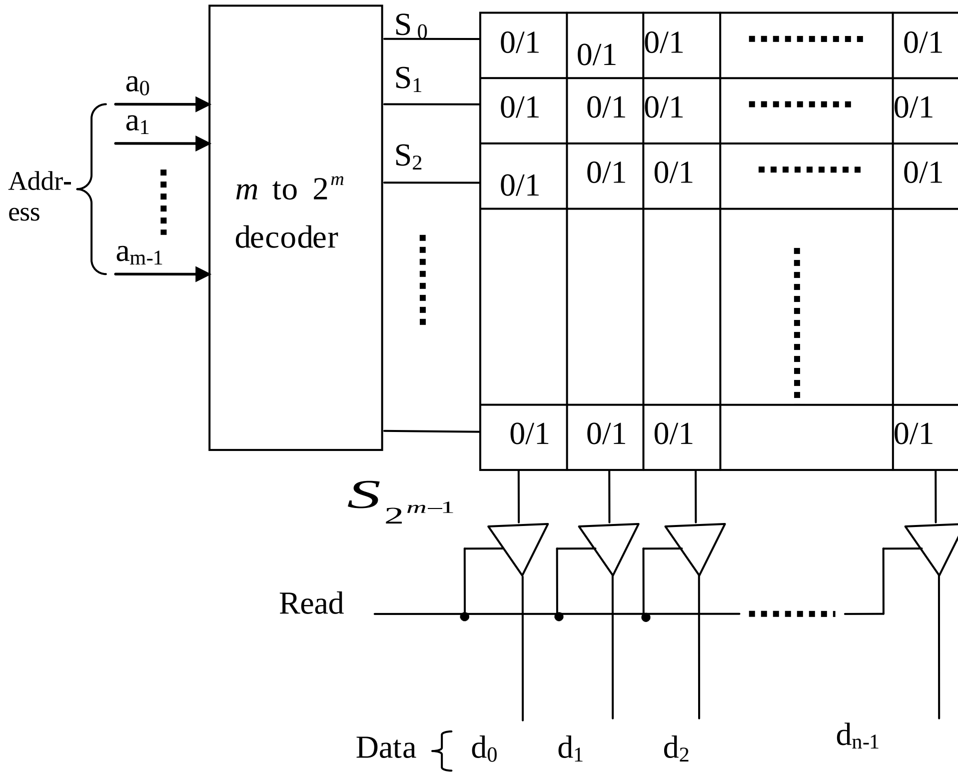


(C) دارة الكاشف

الشكل (5-15) مفكك ترميز ثنائي 2 إلى 4

إن جعل الدخل يأخذ القيم 00 أو 01 أو 10 أو 11 يؤدي إلى جعل y_0 أو y_1 أو y_2 أو y_3 على الترتيب عند الواحد المنطقي .

إن من أهم تطبيقات كاشف الترميز هو استخدامه في الذواكر ، ويبين الشكل (5-20) أحد أنواع الذواكر ، وهو ذاكرة القراءة فقط *ROM* . تتكون ذاكرة *ROM* من مجموعة من خلايا التخزين ، كل خلية تخزن بشكل دائم بثنائية واحدة 0 أو 1 . وترتب الخلايا في 2^m صف ، وفي كل صف n خلية . إن موقع كل صف في الذاكرة يتحدد من خلال عنوان *Address* يمثل الرقم التسلسلي للصف ابتداءً من 0 وحتى $2^m - 1$. ويتم النفاذ إلى المعلومات المخزنة في خلايا صف بتفعيل خط الكلمة *word line* المناسب $S_0, S_1, ...S_{2^{m-1}}$ والتي تشكل مخارج كاشف ترميز ذي m مدخل و 2^m مخرج .



الشكل (5-20) وحدة ذاكرة ROM بحجم $2^m \times n$

وبما أن مداخل الكاشف تحدد رقم الصف، أي تعنون الصف ، فهي تسمى خطوط العنونة . وعند عنونة صف ما من خلال تطبيق الدخل المناسب على الكاشف ، تظهر المعلومات المخزنة في خلايا الصف على خطوط خرج الذاكرة $d_0,...d_{n-1}$ والتي تسمى خطوط المعطيات *Data lines* . يبين الشكل (*5-20*) أن كل خط من خطوط الخرج موصول إلى عازل ثلاثي الحالة *tri- state buffer* يتم تأهيله من قبل الذاكرة ، وعندما يرغب بقراءة موقع في الذاكرة ، يوضع عنوان الموقع على خطوط العنونة ، ويطبق 1 منطقي على خط تأهيل العوازل *Read* .

5-2-1 الموزعات *Demultiplexers*

بينا في الفقرة 5-1 أن للناخب مخرج واحد و n مدخل معطيات و $\log_2 n$ مدخل انتخاب . يستخدم الموزع *demultiplexer* ليؤدي عملاً معاكساً لعمل الناخب ، فهو يقوم بتمرير معطيات دخل وحيد إلى واحد من مجموعة مخارج معطيات ، ويتحدد ذلك المخرج تبعاً للقيمة المطبقة على مداخل الانتخاب .يمكن تحقيق دارة الموزع باستخدام دارة كاشف الترميز ، فعلى سبيل المثال يستخدم كاشف 2×4 في الشكل (*5-15*) لتحقيق موزع 1 إلى 4. وفي هذه الحالة يستخدم مدخل التأهيل *En* كمدخل معطيات للموزع والمخارج من y_0 حتى y_3 كمخارج معطيات ، أما قيم W_0 و W_1 فتحدد أي المخارج التي سيظهر عليها القيمة المطبقة على مدخل التأهيل *En* . ولفهم عمل الدارة ننظر إلى جدول الحقيقة في الشكل (*5-15-a*) .، فعندما تكون *En=0* تأخذ جميع المخارج القيمة 0 ، أما عندما يكون *En=1* تقوم W_1 W_0 بتحديد الخرج المناسب الذي سيأخذ القيمة المنطقية 1 .

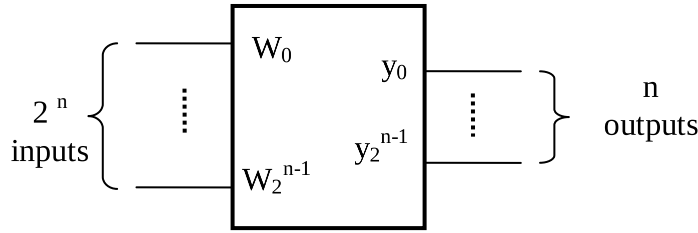
وبشكل عام يمكن استخدام كاشف ترميز $2^n\times n$ كموزع *1* إلى *n* . على أي حال ،استخدام الكواشف في التطبيق العملي كموزعات قليل جداً. ويهمل مدخل التأهيل *En* في الكثير من التطبيقات العملية .

5-3- المرمزات *Encoders*

يقوم المرمز بوظيفة معاكسة لوظيفة كاشف الترميز ، فهو يقوم بترميز المعلومات المعطاة بتحويلها إلى شكل أكثر اختصاراً أو اندماجية .

5-3-1 المرمزات الثنائية ***Binary encoders***

ترمز المرمزات الثنائية المعلومات المطبقة على 2^n مدخل إلى رمز من *n* بتكما يوضح الشكل (*5-21*).



الشكل (5-21) المخطط الرمزي للمرمز

=5-4- محولات الرمز *Code converters*

يمكن النظر إلى كاشف الترميز والمرمز كمحولي رمز ، وعلى سبيل المثال ، فإن كاشف الترميز *3×8* يحول العدد الثنائي في الدخل إلى خرج واحد فعال من بين 8 مخارج ، بينما يقوم المرمز الثنائي -كما رأينا- بالعكس . وهناك العديد من أنواع محولات الرمز . وأحد الأمثلة المشهورة هو محول الرمز *BCD* إلى ترميز السبع قطع ، حيث يتم تحويل الرقم المرمز عشرياً *BCD* إلى معلومات مناسبة لتشغيل وحدات الإظهار الرقمية المبنية على أساس السبع قطع . يبين الشكل *(5-24-a)* المخطط الرمزي للمحول . تقوم دارة المحول بتحويل كل رقم من الأرقام العشرية من 0 حتى9 والمرمزة ثنائياً إلى 7 إشارات (بتات) تطبق على وحدة إظهار ذات السبع قطع ، حيث كل قطعة عبارة عن ثنائي باعث للضوء *LED* يضيء عند تطبيق إشارة كهربائية عليه كما يوضح الشكل *(5-24-b)* . بعبارة أخرى يقوم المحول بتوليد الإشارات المناسبة لإضاءة وحدة الإظهار بحيث تظهر عشرياً الرقم الموافق في ترميز *BCD* المطبق في الدخل . يبين الشكل *(5-24-C)* جدول الحقيقة للمحول .

ولتحقيق دارة المحول يمكن استخدام تقانات التصميم التي رأيناها سابقاً ومنها الطرق الرياضية للدارات المتعددة المخارج ، لكن ذلك سيبدو طويلاً ومملاً من أجل سبع توابع . عوضاً عن ذلك نستخدم كاشف الترميز لتحقيق الدارة وذلك بملاحظة أن الكاشف يولد في خرجه كل الحدود الأصغرية لمتحولات الدخل ، وأنه يمكن الحصول على أي

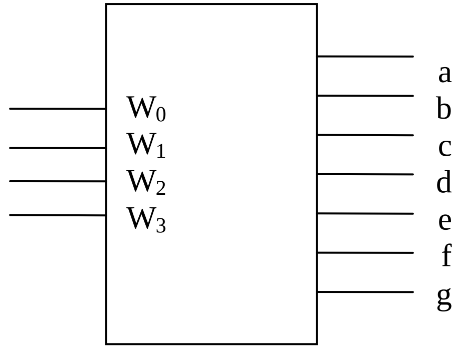
تابع بجمع الحدود الأصغرية . وفي هذه الحالة وباعتبار أننا نستعمل الترميز *BCD* فإن الأرقام العشرية تكون الحدود الأصغرية . وبالتالي ، يمكن تحقيق الدارة المطلوبة باستخدام الحدود الأصغرية العشرة اللازمة . وعندها يمكن كتابة كل تابع من توابع الخرج كمجموع جداءات ، على سبيل المثال ، يكتب الخرح a كما يلي :

$$a = \sum m(0,2,3,5,6,7,8,9)$$

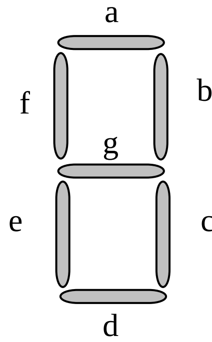
أما الخرج g فيكتب بالشكل الأتي:

$$g = \sum m(,2,3,4,5,6,8,9)$$

ويبين الشكل*(5-25)* المخطط المنطقي للدارة .



(a) المخطط الرمزي

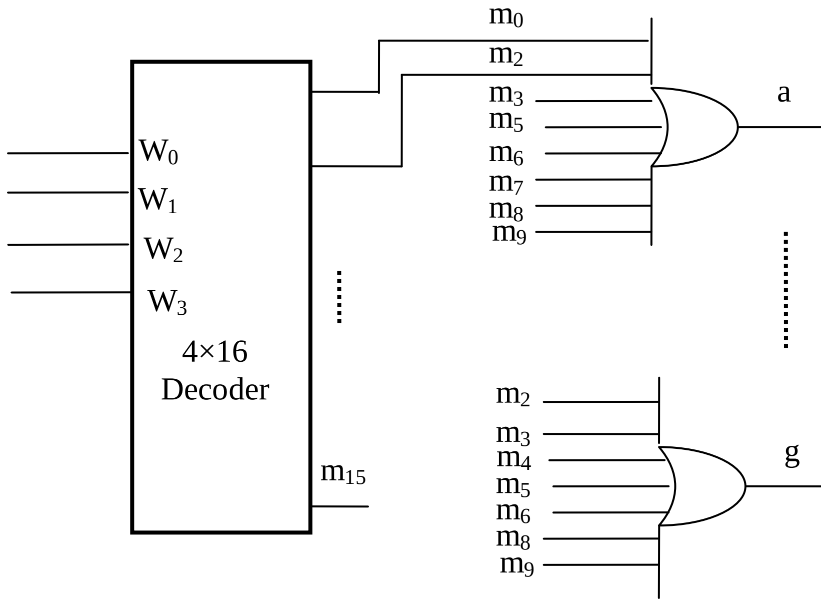


(b) وحدة إظهار القطع السبع

$W_3W_2W_1W_0$				a	b	c	d	e	f	g
0	0	0	0	1	1	1	1	1	1	0
0	0	0	1	0	1	1	0	0	0	0
0	0	1	0	1	1	0	1	1	0	1
0	0	1	1	1	1	1	1	0	0	1
0	1	0	0	0	1	1	0	0	1	1
0	1	0	1	1	0	1	1	0	1	1
0	1	1	0	1	0	1	1	1	1	1
0	1	1	1	1	1	1	0	0	0	0
1	0	0	0	1	1	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1

(c) جدول الحقيقة

الشكل (5-24) محول رمز من BCD إلى رمز القطع السبع

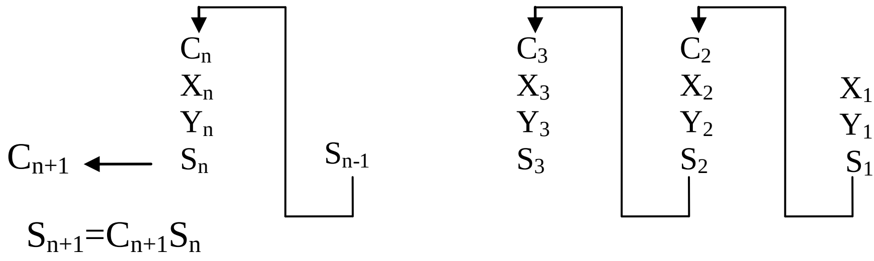


الشكل(5-25) المخطط المنطقي لدارة محول
رمز من الترميز BCD إلى رمز السبع قطع .

6-5 الجامع الثنائي *The Binary Adder*

يعطي تحقيق التوابع المنطقية بدارات ذات مستويين فقط دائماً أسرع الدارات الممكنة ، ومن أجل توابع نموذجية ذات عدد متحولات قليل ، غالباً ما تكون هذه الدارات هي الأكثر اقتصادية .

هناك بعض التوابع المهمة جداً التي لا يمكن تحقيقها بمستويين . لنعتبر الآن تصميم دارة تعمل كجامع لعددين ثنائيين غير مؤشرين .يوضح ا لشكل *(5-27)* عملية جمع عددين ثنائيين *X,Y*من *n* بت ، حيث يمثل *Ci+1* المنقول إلى المرتبة الأعلى *(i=1,2….n)* .



الشكل (5-27)

إن تحقيقاً ذا مستويين لهذه العملية سيحتاج إلى دارات ذات *n+1* خرج و *2n* دخل . في الحاسب النموذجي يمكن أن تكون *n=32* ، وبالتالي نجد أن محاولة تصميم ذات مستويين تبدو مسألة كبيرة ، حتى لو استخدمت الطريقة البرمجية في الاختصار .ولحسن الحظ يمكن معالجة المسألة بطريقة أخرى ، إذ يمكن معاملة كل زوج من بتات الدخل *Xi* و *Yi* لتشكل بت المجموع *Si* والمنقول *Ci+1* إلى المرتبة الأعلى . فإذا كان واحداً ، أو ثلاثة تماماً من البتات *Xi,Yi,Ci* عند الواحد المنطقي يكون *Si=1* وإلا *Si=0* . ويكون المنقول *Ci+1* عند الواحد المنطقي إذا كان اثنان أو أكثر من البتات *Xi,Yi,Ci* عند الواحد المنطقي.

ويكون المنقول إلى البت الأولى بشكل عام صفراً ويطبق على الدخل بنفس الوقت مع *X* و *Y* وهكذا يمكن إجراء عملية الجمع مرتبة مرتبة، بدءاً من المرتبة الأدنى . وحالما تتوفر *X* و*Y* و*C1* يمكن توليد *C2* وهذا بدوره يولد *C3* وهكذا .

إن الدارة التي دخلها زوج من البتات المتقابلة والمنقول من مرتبة سابقة في عددين ثنائيين ، وتعطي في خرجها مجموع الخانتين وقيمة المنقول تدعى بالجامع الكامل.

يبين الشكل *(5-28)* جدول الحقيقة للجامع الكامل .

Xi	Yi	Ci	Si	C_{i+1}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

الشكل(5-28)

نمثل المجموع والمنقول إلى المرحلة الأعلى على مخططات كارنوف ، كما يوضح الشكل *(5-29)* . أما الشكل *(5-30)* فيبين مخطط الدارة ذات المستويين لكل من المنقول والمجموع ، وذلك باستخدام بوابات *NAND* حيث نحتاج إلى 9 بوابات (عدا العواكس) مع 25 دخل .

Ci \ XiYi	00	01	11	10
0		1		1
1	1		1	

Ci \ XiYi	00	01	11	10
0			1	
1		1	1	1

$$S_i = X_i Y_i C_i + \overline{X}_i \overline{Y}_i C_i + \overline{X}_i Y_i \overline{C}_i + X_i \overline{Y}_i \overline{C}_i \qquad C_{i+1} = X_i Y_i + X_i C_i + Y_i C_i$$

الشكل (5-29)